

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173040

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H01L 21/762  
H01L 27/12

(21)Application number : 08-329378

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.12.1996

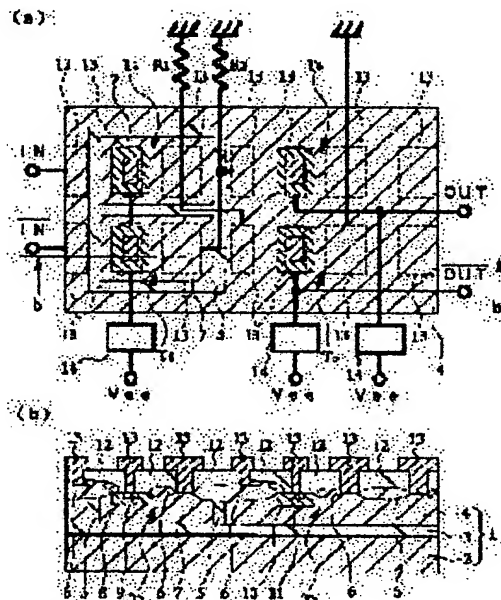
(72)Inventor : HAYASHI TERUYOSHI  
YOSHIHARA KAZUHIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device having a low-heat resistance transistor structure.

SOLUTION: An SOI substrate 1 has an SOI layer insulation film 3 and semiconductor layer 4 on a semiconductor substrate 2. The semiconductor layer 4 has Si islands 7 surrounded by a U-grooved isolation 5. First element-separated transistors T1, T2 are formed on the Si islands 7, and second transistors T3, T4 not separated by the U-grooved isolation 5 are formed on the semiconductor layer 4. The collector is common to the transistors T3 and T4 on the semiconductor layer 4. The collectors of the first transistors T1, T2 use the Si islands 7, making the collector potential variable.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-173040

(43)公開日 平成10年(1998)6月26日

(51) Int.Cl.<sup>6</sup>

H O 1 L 21/762  
27/12

識別記号

F I

H O 1 L 21/76  
27/12

D  
F

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21)出願番号 特願平8-329378

(22)出願日 平成8年(1996)12月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)發明者 林 輝義

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 吉原 和弘

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

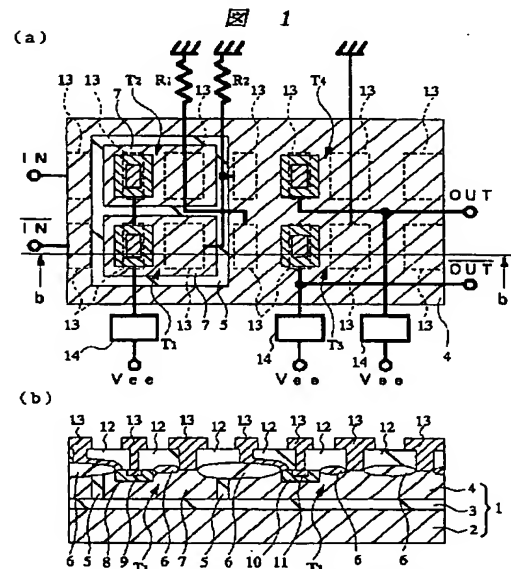
(74) 代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 低熱抵抗のトランジスタ構造を有する半導体集積回路装置を提供する。

【解決手段】 半導体基板2上にSOI絶縁膜3および半導体層4を有するSOI基板1の半導体層4に、U溝アイソレーション5によって囲まれたシリコンアイランド7を形成し、シリコンアイランド7上に素子分離された第1のトランジスタ $T_1$ ,  $T_2$ を形成し、一方、U溝アイソレーション5によって素子分離されない半導体層4上に第2のトランジスタ $T_3$ ,  $T_4$ を形成する。そして、第2のトランジスタ $T_3$ ,  $T_4$ のコレクタを共通化して半導体層4とする。一方、第1のトランジスタ $T_1$ ,  $T_2$ のコレクタは、各シリコンアイランド7とし、コレクタ電位の変動を可能とする。



1: S01基板	4: 半導体層	T1: 第1のトランジスタ
2: 半導体基板	5: U溝アイソレーション	T2: 第1のトランジスタ
3: S01絶縁層	7: シリコンアイランド	T3: 第2のトランジスタ
		T4: 第2のトランジスタ

## 【特許請求の範囲】

【請求項 1】 半導体基板上の絶縁体層の上面、または絶縁体基板の上面に形成された半導体層と、前記半導体層に形成された複数のトランジスタ素子とを有する半導体集積回路装置であって、

前記トランジスタ素子を電気的に分離する素子分離構造により前記トランジスタ素子が互いに分離された第 1 のトランジスタ形成領域と、前記トランジスタ素子の間に素子分離構造を有さない第 2 のトランジスタ形成領域とを有することを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、

前記トランジスタ素子は、前記半導体層に形成されたエミッタと、前記エミッタを囲むように形成されたベースと、前記ベースを囲み、前記半導体層をその一部とするコレクタとからなるバイポーラトランジスタ素子であり、

前記第 2 のトランジスタ形成領域における前記バイポーラトランジスタ素子の前記コレクタは、前記第 2 のトランジスタ形成領域におけるバイポーラトランジスタ素子に共有され、基板電位と同電位になっていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 または 2 記載の半導体集積回路装置であって、

前記第 2 のトランジスタ形成領域のトランジスタは、前記第 1 のトランジスタ形成領域のトランジスタよりも大きなコレクタ電流が流れる回路に用いられることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1、2 または 3 記載の半導体集積回路装置であって、

前記素子分離領域は、U 溝構造を有する素子分離領域であることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、SOI (Silicon On Insulator) 基板を用い、U 溝構造アイソレーションを行なっている半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】近年、半導体集積回路装置を用いた応用機器の高機能化を反映して、半導体集積回路装置に対しても高速応答、高集積化等への要求が高まっている。

【0003】半導体集積回路装置の高速応答を実現するためには、素子の低容量化を図る必要があり、その一つの方策として、絶縁体上に単結晶シリコン層を形成する SOI 技術が注目されている。SOI 技術は、たとえば、昭和 59 年 11 月 30 日、株式会社オーム社発行、「LSI ハンドブック」、p 387～p 390 に記載されているように、絶縁体基板上あるいは半導体基板上に

形成された絶縁体層上に単結晶シリコン層を形成し、この単結晶シリコン層を活性領域に利用してトランジスタ等の素子を形成するものであり、低い素子容量を実現できる理想的な素子分離技術の一つとして知られているものである。

【0004】また、半導体集積回路装置の高集積化を実現する技術としては、たとえば、昭和 60 年 11 月 15 日、株式会社培風館発行、「超高速バイポーラ・デバイス」、p 89 に記載されているように、U 溝アイソレーションによる素子分離技術を用いることができる。U 溝アイソレーションによる素子分離技術は、素子分離領域に深い溝 (U 溝) を設け、これに誘電体等を充填するトレンチアイソレーションを形成する技術であり、LOCOS (Local Oxidation of Silicon) アイソレーションに比べてバースピークが無いため素子分離領域が減少でき、また、バースヘッドが無いため平坦性を向上することができるという特徴がある。さらに、LOCOS 酸化膜との界面での反転防止のための不純物領域が必要で無いため、アイソレーション容量の減少を図るとともに、集積密度の向上に伴う配線長さの短縮による配線容量の低減もでき、半導体集積回路装置の高速化も図ることができる。

【0005】上記の SOI 技術および U 溝アイソレーション技術は、各々単独で利用するだけでなく、これを組み合わせて利用することにより、さらに半導体集積回路装置の高速化および高集積化を図ることができると期待されている。

## 【0006】

【発明が解決しようとする課題】ところが、前記のような SOI 技術および U 溝アイソレーション技術を用いた半導体集積回路装置には、以下に述べるような問題点があることを本発明者らは認識した。

【0007】すなわち、SOI 技術および U 溝アイソレーション技術を用いて半導体集積回路装置を製造した場合、半導体集積回路装置を構成するトランジスタが形成された半導体層は、その底部を SOI 技術による絶縁膜で、また、その側面を U 溝アイソレーション技術による絶縁体で囲まれることとなる。ここで、前記絶縁膜および絶縁体は一般的にはシリコン酸化物を例示することができる。

【0008】シリコン酸化物等の絶縁体は一般に熱伝導率が低く熱抵抗が高いため、トランジスタが絶縁体で囲まれることにより、そのトランジスタから発生する熱が絶縁体で囲まれた半導体層に蓄積されることとなり、その結果、トランジスタのジャンクション部分の温度が上昇することとなる。これを防止するには、パッケージ等の熱抵抗を下げ、あるいは、外気温度を低くして、蓄積される熱を速やかに外部に排熱するか、または、基板の単位体積あたりの発熱量を低く抑えるためにトランジスタの集積密度を低くする必要がある。

【0009】しかし、パッケージ材料の改良および外気温度を下げるための放熱装置等の増強には限界があり、また、トランジスタの集積密度の低下はチップ面積を増大させるという不具合を生じる。

【0010】本発明の目的は、熱抵抗の低いトランジスタ構造を有する半導体集積回路装置を提供することにある。

【0011】本発明の他の目的は、トランジスタのジャンクション部分の温度上昇を抑制することができる半導体集積回路装置を提供することにある。

【0012】本発明のさらに他の目的は、放熱装置を特に必要とせず、高密度にトランジスタを配置することができる半導体集積回路装置を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】(1) 本発明の半導体集積回路装置は、半導体基板上の絶縁体層の上面、または絶縁体基板の上面に形成された半導体層と、半導体層に形成された複数のトランジスタ素子とを有する半導体集積回路装置であって、トランジスタ素子を電気的に分離する素子分離構造によりトランジスタ素子が互いに分離された第1のトランジスタ形成領域と、トランジスタ素子の間に素子分離構造を有さない第2のトランジスタ形成領域とを有するものである。

【0016】このような半導体集積回路装置によれば、素子分離構造によりトランジスタ素子が互いに分離された第1のトランジスタ形成領域と、トランジスタ素子の間に素子分離構造を有さない第2のトランジスタ形成領域とを有するため、第2のトランジスタ形成領域に形成されたトランジスタからの発熱を半導体層を介して速やかに排熱することができ、結果として半導体層の温度上昇を抑制し、ジャンクション温度の上昇を防止することができる。

【0017】(2) 本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、トランジスタ素子は、半導体層に形成されたエミッタとエミッタを囲むように形成されたベースとベースを囲み、半導体層をその一部とするコレクタとからなるバイポーラトランジスタ素子であり、第2のトランジスタ形成領域におけるバイポーラトランジスタ素子のコレクタは、第2のトランジスタ形成領域のバイポーラトランジスタ素子に共有され、基板電位と同電位になっているものである。

【0018】このような半導体集積回路装置によれば、第2のトランジスタ形成領域におけるバイポーラトランジスタ素子のコレクタは、第2のトランジスタ形成領域

において各素子に共有され、基板電位と同電位となっているため、第2のトランジスタ形成領域に形成されたトランジスタ間を電気的に分離する必要がない。つまり、このような半導体集積回路装置では、トランジスタ素子間の素子分離性能に影響を与えることなく、トランジスタのジャンクション部分の温度上昇を抑制することが可能となる。なお、基板電位としては、たとえば、接地電位を例示することができる。

【0019】(3) 本発明の半導体集積回路装置は、前記(1)または(2)記載の半導体集積回路装置であって、第2のトランジスタ形成領域のトランジスタは、第1のトランジスタ形成領域のトランジスタよりも大きなコレクタ電流が流れる回路に用いられるものである。

【0020】このような半導体集積回路装置によれば、第2のトランジスタ形成領域のトランジスタを、第1のトランジスタ形成領域のトランジスタよりも大きなコレクタ電流が流れる回路に用いるため、半導体層に蓄積される熱量を総合的に低減することができる。

【0021】すなわち、大きなコレクタ電流が流れるトランジスタ、つまり発熱量の大きいトランジスタを、排熱効果の優れた第2のトランジスタ形成領域に配置し、コレクタ電位が異なるトランジスタを素子分離領域が形成された第1のトランジスタ形成領域に配置するもので、トランジスタからの発熱と基板への排熱とが最も効果的に釣り合うように調整するものである。

【0022】したがって、半導体集積回路装置の性能を低下させることなく、半導体層に蓄積される熱量を最も少なくするように最適化することができ、ジャンクション部分の温度上昇を抑制することができる。

【0023】(4) 本発明の半導体集積回路装置は、前記(1)～(3)記載の半導体集積回路装置であって、素子分離領域を、U溝構造を有する素子分離領域とするものである。

【0024】このような半導体集積回路装置によれば、素子分離領域を、U溝構造を有する素子分離領域とするため、素子分離領域の占有面積を低減し、半導体集積回路装置の集積度を向上することができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0026】図1は、本発明の一実施の形態であるバイポーラトランジスタを有する半導体集積回路装置の一例を示し、図1(a)はバイポーラトランジスタのレイアウトを示す上面図、図1(b)は、図1(a)におけるb-b断面図である。なお、図1(a)は、断面図ではないが、図を分かり易くするために各部材にハッチングを施している。また、一部の部材は省略し、または点線で示している。さらに、図2に示す差動バッファ回路の

結線を模式的に示している。

【0027】本実施の形態の半導体集積回路装置は、SOI基板1と、SOI基板1上に形成されたバイポーラトランジスタを含むものである。

【0028】SOI基板1は、半導体基板2と、半導体基板2上に形成されたSOI絶縁膜3と、SOI絶縁膜3上に形成された半導体層4とから構成される。半導体基板2は、単結晶シリコンウェハを用いることができ、SOI絶縁膜3は、たとえばシリコン酸化膜を例示することができる。また、半導体層4は、たとえばエピタキシャル成長させた単結晶シリコン薄膜とすることができる。

【0029】SOI基板1の製造方法は、公知のSIMOX (Separation by Implanted Oxygen) 法、FIPOS (Full Isolation by Porous Oxidized Silicon) 法、アモルファスシリコンあるいは単結晶シリコンの薄膜を熱等のエネルギーで再結晶化させる堆積膜再結晶化法、またはシリコン基板上のスピネル構造上にエピタキシャル膜を堆積させるエピタキシャル堆積法等を例示することができる。なお、本実施の形態では、SOI基板を例示しているが、サファイア上に単結晶シリコン膜を堆積するSOS (Silicon On Sapphire) 基板であってもよい。また、半導体基板2を絶縁体とし、半導体基板2およびSOI絶縁膜3が一体となった絶縁体であってもよい。

【0030】半導体層4には、素子分離用のU溝アイソレーション5が形成され、また、半導体層4の主面にはフィールド絶縁膜6が形成されている。

【0031】U溝アイソレーション5は、半導体層4に形成されたU形の溝構造にたとえばシリコン酸化物が充填されたものであり、SOI絶縁膜3とともに半導体層4を完全に分離してシリコンアイランド7を形成するものである。シリコンアイランド7は、前記のとおりSOI絶縁膜3とU溝アイソレーション5により完全に分離されたものとなっているため、シリコンアイランド7上に形成されるトランジスタの浮遊容量が小さくなり、半導体集積回路装置の動作速度を向上することができる。

【0032】なお、本実施の形態では、フィールド絶縁膜6を形成した場合を例示しているが、フィールド絶縁膜6は、主に素子形成工程中のシリコン表面の安定化のために形成されるものであり、素子分離のために形成されるものではない。したがって、フィールド絶縁膜6は、必須の部材ではなく、これを用いない半導体集積回路装置であってもよい。

【0033】SOI基板1上に形成されたトランジスタには、U溝アイソレーション5に囲まれ、シリコンアイランド7上（第1のトランジスタ形成領域）に形成された第1のトランジスタ $T_1$ 、 $T_2$ と、U溝アイソレーション5に囲まれない半導体層4上（第2のトランジスタ形成領域）に形成された第2のトランジスタ $T_3$ 、 $T_4$ とを含む。

【0034】第1のトランジスタ $T_1$ 、 $T_2$ は、シリコンアイランド7の主面近傍に形成されたベース領域8と、ベース領域8に囲まれたエミッタ領域9と、シリコンアイランド7であるコレクタ領域とからなる。本実施の形態では、npn形トランジスタを例示するため、コレクタ領域であるシリコンアイランド7およびエミッタ領域9には、n形の導電形を示す不純物たとえばリンまたは砒素がドーブされ、ベース領域8には、p形の導電形を示す不純物たとえばボロンがドーブされている。

【0035】第2のトランジスタ $T_3$ 、 $T_4$ は、半導体層4の主面近傍に形成されたベース領域10と、ベース領域10に囲まれたエミッタ領域11と、半導体層4であるコレクタ領域とからなる。トランジスタ $T_1$ 、 $T_2$ と同様にコレクタ領域である半導体層4およびエミッタ領域11には、n形の導電形を示す不純物たとえばリンまたは砒素がドーブされ、ベース領域10には、p形の導電形を示す不純物たとえばボロンがドーブされている。

【0036】第2のトランジスタ $T_3$ 、 $T_4$ は、U溝アイソレーション5に囲まれていないため、トランジスタ $T_3$ 、 $T_4$ を流れる電流によりトランジスタ $T_3$ 、 $T_4$ が発熱しても、半導体層4を伝導する熱はU溝アイソレーション5により遮られることがない。そのため、半導体層4の温度上昇を防止し、トランジスタ $T_3$ 、 $T_4$ のジャンクション部の温度上昇を抑制することができる。

【0037】上記の第1および第2のトランジスタ $T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$ は、絶縁膜12により覆われ、絶縁膜12上には、各トランジスタのエミッタ、ベースおよびコレクタに接続される配線13が形成されている。

【0038】絶縁膜12は、たとえばCVD法により形成されるシリコン酸化膜を例示ことができ、配線13としては、スパッタ法等により形成されるアルミニウムを主成分とする金属薄膜を例示することができる。前記アルミニウムには、シリコンまたは銅等を添加することができる。また、配線13は、低抵抗多結晶シリコン、金属シリサイドまたはそれらの積層膜とすることもできる。

【0039】次に、図2に示す差動バッファ回路について説明する。

【0040】図2は、図1に示した半導体集積回路装置を回路図で示した一例であり、差動バッファ回路の一例を示す回路図である。

【0041】差動バッファの差動入力段は、U溝アイソレーション5で囲まれた第1のトランジスタ $T_1$ 、 $T_2$ により構成され、差動バッファの次段以降のバッファを駆動するためのエミッタフォロアのトランジスタは、U溝アイソレーション5で囲まれない半導体層4上に形成された第2のトランジスタ $T_3$ 、 $T_4$ により構成される。

【0042】第1のトランジスタ $T_1$ のコレクタは、抵抗素子 $R_1$ を介して接地電位に接続され、第2のトランジスタ $T_3$ のベースに接続される。また、第1のトラン

ジスタ $T_2$ のコレクタは、抵抗素子 $R_2$ を介して接地電位に接続され、第2のトランジスタ $T_4$ のベースに接続される。第1のトランジスタ $T_1$ 、 $T_2$ のエミッタは、ともに定電流源回路14を介して電位 $V_{EE}$ に接続され、第1のトランジスタ $T_1$ のベースは差動入力の一つである入力 $I_N$ に、第1のトランジスタ $T_2$ のベースは差動入力の一つである入力バー $I_N$ に接続される。

【0043】第2のトランジスタ $T_3$ のエミッタは、定電流源回路14を介して電位 $V_{EE}$ に接続され、差動出力の一つである出力バー $OUT$ に接続される。また、第2のトランジスタ $T_4$ のエミッタは、定電流源回路14を介して電位 $V_{EE}$ に接続され、差動出力の一つである出力 $OUT$ に接続される。さらに、第2のトランジスタ $T_3$ 、 $T_4$ のコレクタは、ともに接地電位に接続される。したがって、第2のトランジスタ $T_3$ 、 $T_4$ のコレクタは常に同一の電位となっている。

【0044】ここで、差動入力段のトランジスタである第1のトランジスタ $T_1$ 、 $T_2$ は、入力負荷を下げる為面積を小さくし、エミッタフォロアのトランジスタである第2のトランジスタ $T_3$ 、 $T_4$ は、次段のバッファを駆動する為に大面積のトランジスタを用いる。よって定電流源の電流は、第2のトランジスタ $T_3$ 、 $T_4$ に流れる電流 $I_2(=I_3)$ は、第1のトランジスタ $T_1$ および $T_2$ に流れる電流 $I_1$ の1.5～2倍程度として用いられる。また、差動入力段のトランジスタである第1のトランジスタ $T_1$ 、 $T_2$ は、コレクタ電位が変化する為、U溝アイソレーション5により分離された構造を用いなければならないが、エミッタフォロアのトランジスタである第2のトランジスタ $T_3$ 、 $T_4$ は、コレクタ電位が基板電位と同じであるため、U溝アイソレーション5を用いない構造とすることができる。

【0045】次に、上記半導体集積回路装置の製造方法について、図3～図6を用いて説明する。

【0046】図3～図6は、本実施の形態の半導体集積回路装置の製造方法の一例を示した要部断面図である。

【0047】まず、単結晶シリコンからなる半導体基板2を用意し、半導体基板2の主面方向からイオン注入法により酸素イオンを注入する(図3)。このとき、酸素イオンの注入エネルギーを大きくして、半導体基板2の主面上には酸素が存在しないようにする。その結果、半導体基板の表面には、シリコンのみが存在し表面から幾分深いところにSOI絶縁膜3が形成される。

【0048】次に、半導体基板2の表面のシリコン上に単結晶シリコン膜をエピタキシャル成長させて半導体層4を形成し、SOI基板1を形成する(図4)。このように単結晶シリコン膜をエピタキシャル成長させることにより、欠陥および不純物の少ない単結晶シリコン膜を得ることができる。また、半導体層4をn形の導電形にするための不純物、たとえばリンをドーブするため、半導体層4の全面にリンをイオン注入することができる

が、エピタキシャル成長時に不純物ガスを混入し、ドーピングを行ってもよい。なお、本実施の形態では、SOI基板1の製造方法としてSIMOX法を例示するが、他の方法、たとえばFIPOS法、堆積膜再結晶化法等で製造してもよい。

【0049】次に、半導体層4に溝構造を形成し、その後、たとえばCVD法によりシリコン酸化膜を堆積して溝構造を埋め込み、さらにシリコン酸化膜をエッチバックしてU溝アイソレーション5を形成する(図5)。溝構造の形成におけるエッチバックは、公知のエッチング法を用いることができる。

【0050】次に、たとえばLOCOS法によりフィールド絶縁膜6を形成し、ベース領域8、10をたとえばボロンのイオン注入により形成する。その後、ベース領域8、10の一部にエミッタ領域9、11を、たとえばリンのイオン注入により形成する(図6)。特定の領域にイオン注入するためには、公知のフォトリソグラフィ技術を用いてフォトレジストをパターニングし、これをマスクとして用いることができる。

【0051】次に、ベース領域8、10に接続される配線13の一部をフィールド絶縁膜6上に形成した後、絶縁膜12を堆積する。さらに、絶縁膜12にコンタクトホールを開孔し、SOI基板1の全面にアルミニウム薄膜をスパッタ法により堆積して、そのアルミニウム薄膜をパターニングし、配線13を形成する。このようにして、図1に示す半導体集積回路装置がほぼ完成する。

【0052】本実施の形態の半導体集積回路装置によれば、第1のトランジスタ $T_1$ 、 $T_2$ をU溝アイソレーション5で囲まれたシリコンアイランド7上に形成し、第2のトランジスタ $T_3$ 、 $T_4$ をU溝アイソレーション5で囲まれない半導体層4上に形成するため、トランジスタによる半導体層4およびシリコンアイランド7の温度上昇を抑制し、トランジスタのジャンクション部の温度上昇を防止することができる。

【0053】すなわち、従来、全てのトランジスタはU溝アイソレーション5により素子分離される構造つまり本実施の形態における第1のトランジスタ $T_1$ 、 $T_2$ と同様の構造となっていた。このため、トランジスタで発生した熱は、トランジスタから半導体基板2を通じて拡散するが、たとえばシリコン酸化膜等の絶縁膜でトランジスタが囲まれている場合には、シリコン酸化膜の熱伝導度が $0.0033 \sim 0.004$  [ $\text{cal} \cdot \text{cm}^{-1} \cdot \text{s}^{-1} \cdot ^\circ\text{C}^{-1}$ ]と小さいため、トランジスタと半導体基板2間の熱抵抗は大きくなっていた。ところが、本実施の形態の半導体集積回路装置では、第2のトランジスタ $T_3$ 、 $T_4$ を素子分離せず、半導体層4をコレクタ領域として共通化した。シリコンの熱伝導度は $0.2 \sim 0.35$  [ $\text{cal} \cdot \text{cm}^{-1} \cdot \text{s}^{-1} \cdot ^\circ\text{C}^{-1}$ ]とシリコン酸化膜に比べて大きいため、半導体層4に関しては熱伝導が促進され、SOI基板1の面方向については熱抵抗が小さくなる。これにより、

SOI 基板 1 の蓄熱を防止して第 1 および第 2 のトランジスタ  $T_1$ ,  $T_2$ ,  $T_3$ ,  $T_4$  のジャンクション部分の温度上昇を抑制することができる。

【0054】また、第 2 のトランジスタ  $T_3$ ,  $T_4$  については、各コレクタが共通化され、半導体層 4 となっているため、トランジスタの引出電極だけではなく、基板電位から直接与えられることとなる。このため、トランジスタの電位安定性が向上する。

【0055】さらに、本実施の形態の半導体集積回路装置では、差動入力段のトランジスタである第 1 のトランジスタ  $T_1$ ,  $T_2$  は入力負荷を下げる為面積を小さくし、エミッタフォロアのトランジスタである第 2 のトランジスタ  $T_3$ ,  $T_4$  は次段のバッファを駆動する為に大面積としているため、第 2 のトランジスタ  $T_3$ ,  $T_4$  に大きな電流が流れ、その周辺では大きな発熱を伴うこととなるが、本実施の形態では、第 2 のトランジスタ  $T_3$ ,  $T_4$  を U 溝アイソレーション 5 を用いない構造としているため、大きなコレクタ電流による熱を速やかに排熱することができる。一方、第 1 のトランジスタ  $T_1$ ,  $T_2$  は U 溝アイソレーション 5 を有する構造としているため、排熱は速やかではないが、コレクタ電流が小さいため、発熱の問題は顕著ではない。このように、本実施の形態の差動入力バッファでは、発熱が問題となるトランジスタを排熱が速やかに行われる U 溝アイソレーション 5 を有する構造とし、排熱が問題とならず、コレクタ電位が変動するトランジスタを U 溝アイソレーション 5 により素子分離するため、半導体集積回路装置の素子性能を損なわず、基板温度の上昇を抑制し、トランジスタのジャンクション部分の温度上昇の問題に対処することができる。

【0056】また、エミッタフォロアのトランジスタである第 2 のトランジスタ  $T_3$ ,  $T_4$  については、コレクタ電位が基板電位と同じであるため、低熱抵抗かつコレクタ電位の安定が良いトランジスタとすることができる。

【0057】これらの効果により、トランジスタのジャンクション温度を下げる事が可能となり、熱発生源であるトランジスタを高密度に配置する事が可能となる。

【0058】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0059】たとえば、本実施の形態では SOI 構造の半導体集積回路装置について例示したが SOS 構造の半導体集積回路装置であってもよい。

【0060】また、本実施の形態では、差動入力バッファの例について示したが、その他の増幅回路、論理回路、メモリ回路等に用いてもよい。

【0061】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以

下のとおりである。

【0062】(1) 熱抵抗の低いトランジスタ構造を有する半導体集積回路装置を提供することができる。

【0063】(2) トランジスタのジャンクション部分の温度上昇を抑制することができる半導体集積回路装置を提供することができる。

【0064】(3) 放熱装置を特に必要とせず、高密度にトランジスタを配置することができる半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態であるバイポーラトランジスタを有する半導体集積回路装置の一例を示し、図 1 (a) はバイポーラトランジスタのレイアウトを示す上面図、図 1 (b) は、図 1 (a) における b-b 断面図である。

【図 2】図 1 に示した半導体集積回路装置を回路図で示した一例であり、差動バッファ回路の一例を示す回路図である。

【図 3】本実施の形態の半導体集積回路装置の製造方法の一例を示した要部断面図である。

【図 4】本実施の形態の半導体集積回路装置の製造方法の一例を示した要部断面図である。

【図 5】本実施の形態の半導体集積回路装置の製造方法の一例を示した要部断面図である。

【図 6】本実施の形態の半導体集積回路装置の製造方法の一例を示した要部断面図である。

【符号の説明】

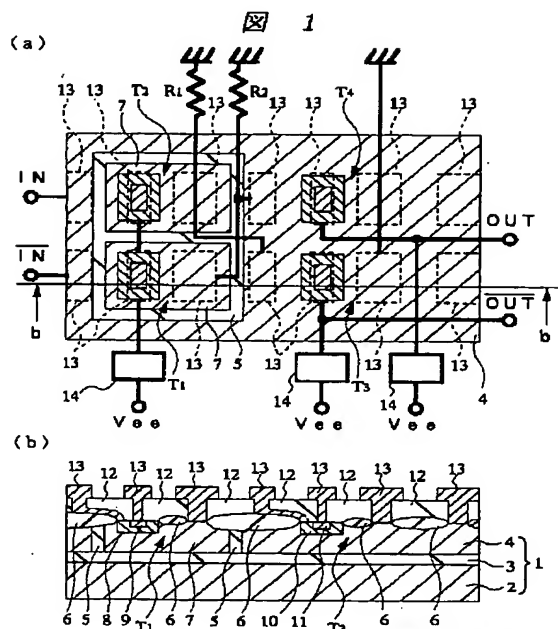
- 1 SOI 基板
- 2 半導体基板
- 3 SOI 絶縁膜
- 4 半導体層
- 5 U 溝アイソレーション
- 6 フィールド絶縁膜
- 7 シリコンアイランド
- 8 ベース領域
- 9 エミッタ領域
- 10 ベース領域
- 11 エミッタ領域
- 12 絶縁膜
- 13 配線
- 14 定電流源回路
- $I_1$  電流
- $I_2$  電流
- $I_3$  電流
- IN 入力
- バー IN 入力
- OUT 出力
- バー OUT 出力
- $R_1$  抵抗素子
- $R_2$  抵抗素子



$T_1$  第1のトランジスタ  
 $T_2$  第1のトランジスタ  
 $T_3$  第2のトランジスタ

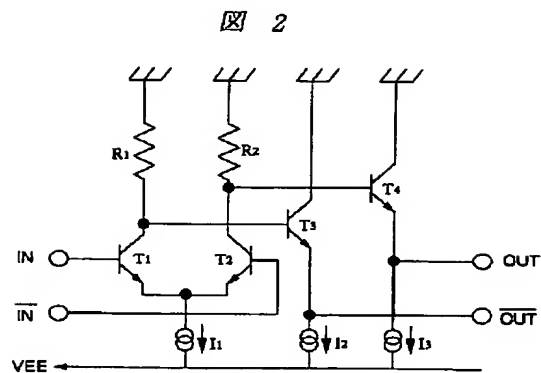
$T_4$  第2のトランジスタ  
 $V_{EE}$  電位

【図1】

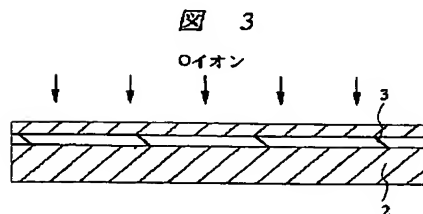


1: SOI基板 4: 半導体層  $T_1$ : 第1のトランジスタ  
 2: 半導体基板 5: U溝アイソレーション  $T_2$ : 第1のトランジスタ  
 3: SOI絶縁膜 7: シリコンアイランド  $T_3$ : 第2のトランジスタ  
 $T_4$ : 第2のトランジスタ

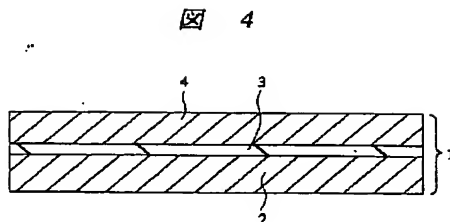
【図2】



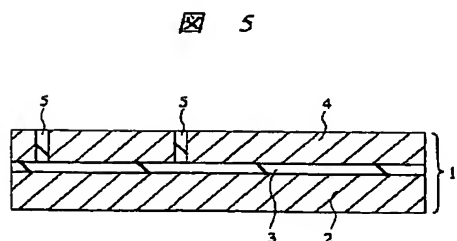
【図3】



【図4】



【図5】



【図6】

図 6

